

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-049705

(43)Date of publication of application : 20.02.1998

(51)Int.Cl.

G06T 15/40

G06T 1/00

(21)Application number : 08-202008

(71)Applicant : SHARP CORP

(22)Date of filing : 31.07.1996

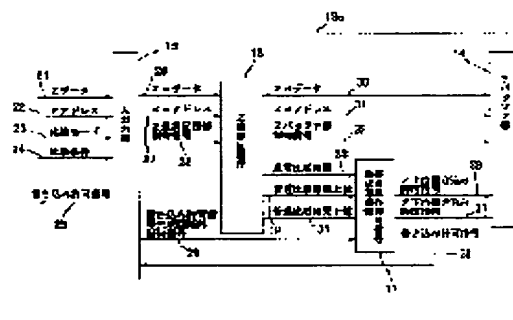
(72)Inventor : HASHIMOTO TAKESHI

## (54) DEVICE FOR ELIMINATING Z BUFFER SYSTEM HIDDEN-SURFACE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a Z buffer system hidden-surface eliminating device for realizing both plotting to which high quality is required and plotting to which a high speed is required by a Z buffer part with a small capacity.

SOLUTION: A Z arithmetic circuit part 16 controls a Z buffer part 14 by a Zd address 31 and a Z buffer part control signal 32, and operates the writing and reading of Zd data 30 for the Z buffer part 14. The permission of the writing in the Z buffer part 14 is operated separately for the upper and lower ranks of the Zd data by a writing permission signal generating circuit part 17. The writing permission signal generating circuit part 17 is controlled by a writing permission signal generating circuit part control signal 5 and the writing permission signal generating circuit part 16 inputs a normal speed compared result 33 and a double speed compared result upper rank 34 from the Z arithmetic circuit part 16, and outputs a Z upper rank writing permission signal 36 and a Z lower rank writing permission signal 37 to the Z buffer part 14, and outputs a writing permission signal 38 to an inputting and outputting part 15.



## LEGAL STATUS

[Date of request for examination] 04.02.2000

[Date of sending the examiner's decision of rejection] 29.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

(43)公開日 平成10年(1998)2月20日

### 技術表示箇所

420

M

審査請求 未請求 請求項の数3 OL (全 11 頁)

(71)出題人 000005049

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 橋本 剛

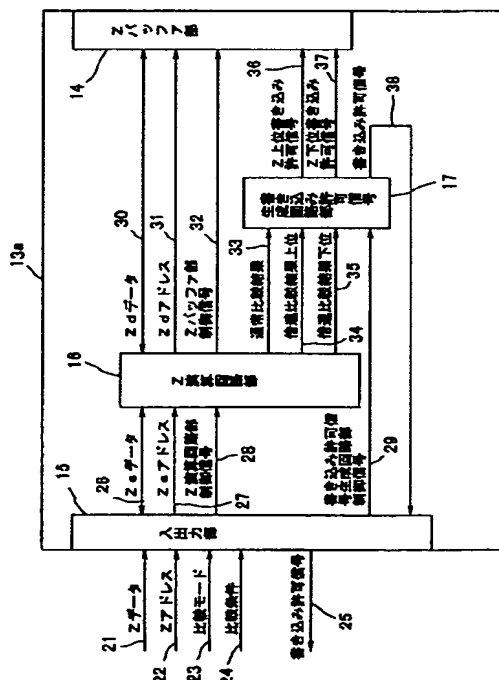
大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

(74)代理人 弁理士 藤本 博光

(57) 【要約】

【解決手段】 Z演算回路部16は、Zdアドレス31、Zバッファ部制御信号32によりZバッファ部14を制御し、Zdデータ30をZバッファ部14に書き込んだり、読み出したりする。Zバッファ部14への書き込みの許可は、書き込み許可信号生成回路部17により、Zdデータの上位と下位で別々に行われる。書き込み許可信号生成回路部17は、書き込み許可信号生成回路部制御信号29に従って制御され、Z演算回路部16からの通常速比較結果33と倍速比較結果上位34と倍速比較結果下位35とを入力し、Z上位書き込み許可信号36とZ下位書き込み許可信号37をZバッファ部14に対し出力し、書き込み許可信号38を入出力部15に対し出力する。



## 【特許請求の範囲】

【請求項 1】 Z 値を保存する Z バッファ部と、入力された Z 値と前記 Z バッファ部に保存されている Z 値とを比較する Z 演算部とを備え、前記 Z 演算部で比較した Z 値の小さいほうを前記 Z バッファ部に再び保存する Z バッファ方式隠面消去装置において、  
前記 Z 演算部は、Z 値を一つずつ順次比較演算する通常速と Z 値を複数並列に処理する高速の二つの比較モードを有することを特徴とする Z バッファ方式隠面消去装置。

【請求項 2】 高速比較モードの場合、  
前記 Z バッファ部は、Z 値を通常速比較モードの半分のビット幅で同一アドレスに 2 つのデータを保存し、  
前記 Z 演算部は、前記 2 つのデータを同時に読み出して並列に比較演算を行うことを特徴とする請求項 1 記載の Z バッファ方式隠面消去装置。

【請求項 3】 前記 Z バッファ部は、各アドレスの Z 値の保存データを上位と下位に分け、書き込みの可・不可の制御を別々に行うことを特徴とする請求項 2 記載の Z バッファ方式隠面消去装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、3 次元もしくは 2 次元のグラフィック表示装置において、描画された物体の奥行き情報を利用して隠面消去を行う Z バッファ方式隠面消去装置に関する。

## 【0002】

【従来の技術】コンピュータグラフィックスにおいては、3 次元空間の物体を表示平面に投射することによって、3 次元画像を表示する。このときに、表示平面にいる観察者からは、手前ある物体の後ろにある物体は見えない。したがって、実際に見える状況と同様の表示にするため、後方の物体の面を消去する隠面消去の処理を行う。隠面消去の方法には色々あるが、その一つとして、物体の奥行き情報である Z 値を Z バッファ部に格納しておき、入力 Z 値と比較して Z 値の小さいほうの画像データのみをフレームバッファに書き込むという Z バッファ方式の隠面消去方法がある。

【0003】図 9 は、Z バッファ方式の隠面処理を行う従来のグラフィック表示装置のブロック図である。このグラフィック表示装置は、グラフィックエンジン 11、カラーデータを記憶するフレームバッファ 12、Z データを用いて隠面処理を行う Z バッファ方式隠面消去装置 13 b、Z バッファ方式隠面消去装置 13 b 内にあって Z 値のデータ（以後、Z データと略称する）を記憶する Z バッファ部 14 から構成される。

【0004】フレームバッファ 12 は、画像内のピクセルのカラー及び輝度のデジタル信号を保持する記憶装置であり、例えば DRAM あるいは SRAM を用いる。Z バッファ部 14 は、フレームバッファ 12 内の各ピクセル毎に Z データである一つの数字を保持する記憶装置である。Z データは、観察者と、ピクセルにてディスプレイされている対象との距離を示す。

【0005】このグラフィック表示装置の隠面消去の処理について説明する。グラフィックエンジン 11 は、3 次元の画像データに基づき、モデリングやレンダリング等の処理を行う。その過程で、各ピクセルに対する Z データを算出する。グラフィックエンジン 11 は、この算出した Z データ 21 と Z アドレス 22 を Z バッファ方式隠面消去装置 13 b に出力し、Z バッファ部 14 に格納させ表示平面で同一部分を占めるピクセルの Z データを、Z バッファ部 14 に格納されている Z データと比較する。Z データの小さい方を Z バッファ部 14 に格納するとともに、フレームバッファ 12 にその Z データに対応するピクセルの輝度及びカラーデータ 46 を書き込む指示を与える書き込み許可信号 25 を送出する。

【0006】図 10 は、Z バッファ方式隠面消去装置のブロック図である。この Z バッファ方式隠面消去装置 13 b は、入出力部 15 と、Z 演算回路部 51 と、Z バッファ部 14 と、書き込み許可信号生成回路部 52 とを備える。

【0007】入出力部 15 は、Z データ 21、Z アドレス 22、比較モード 23、比較条件 24 が入力され、Z s データ 26、Z s アドレス 27、Z 演算回路部制御信号 28 を Z 演算回路部 51 に、また書き込み許可信号生成回路部制御信号 29 を書き込み許可信号生成回路部 52 に、書き込み許可信号 25 を外部のフレームバッファ 12 に出力する。

【0008】Z 演算回路部 51 は、Z d アドレス 31、Z バッファ部制御信号 32 により Z バッファ部 14 を制御し、演算に使用する Z d データ 30 を Z バッファ部 14 に書き込んだり、読み出したりする。Z バッファ部 14 への書き込みの許可は、Z 書き込み許可信号生成回路部 52 により行われる。書き込み許可信号生成回路部 52 は、書き込み許可信号生成回路部制御信号 29 に従って制御され、Z 演算回路部 51 からの比較結果 53 が入力される。書き込み許可信号 54 を Z バッファ部 14 に対し出力し、書き込み許可信号 38 を入出力部 15 に対し出力する。

【0009】この Z バッファ方式隠面消去装置 13 b の動作について図 11 のフローチャートに基づいて説明する。まず、始めに Z 演算回路部 51 は、新しいデータを待っているものとする。入出力部 15 は外部からデータの入力があると（ステップ S31）、Z 演算回路制御信号 28 によって、Z データ 21、Z アドレス 22 が到着したことを Z 演算回路部 51 に知らせる。Z 演算回路部 51 は、Z s データ 26 と Z s アドレス 27 を取り込む（ステップ S32）。

【0010】次に、Z 演算回路部 51 は Z バッファ部 14 に対し Z d アドレス 31 を与え、Z バッファ部制御信

3

号32によってZバッファ部14に出力要求を行う。Zバッファ部14は、Zバッファ部制御信号32に従いZdアドレス31の位置に保存されているZdデータ30を出力する(ステップS33)。Z演算回路部51は、Zバッファ部14から入力されたZdデータ30と、入力部15から入力されたZsデータ26とを比較する(ステップS34)。

【0011】入力部15から入力されたZ演算回路部制御信号28によって決定される条件「ZdよりZsの方が小さい」に上記比較の結果が合致した場合(ステップS35)、Z演算回路部51は比較結果53を書き込み許可信号生成回路部52に出力し、書き込み許可信号生成回路部52はZ書き込み許可信号54として1を出力する(ステップS36)。Z演算回路部51は、Zバッファ部14に対しZdデータ30とZdアドレス31を出力し、Zバッファ部制御信号32によって書き込み要求を行う。Zバッファ部14は要求にしたがって、Zdアドレスに対応する位置にZsデータをZdデータとして保存する(ステップS37)。決定される条件「ZdよりZsの方が小さい」に合致しない場合は、書き込み許可信号生成回路部52は書き込み許可信号として0を出力し(ステップS38)、Zバッファ部14に書き込みは行わない。再び新しいデータ待ちに入り、以上の動作を繰り返す。外部から比較モード23及び比較条件24をセットできる。

【0012】図12は、理想的な隠面消去のプロセスを示している。3つのグラフの右方向がZ軸方向であり、観察者が見ている方向である。2つのピクセルデータの重ね合わせの結果、視点に近いピクセルのみが残っている。

【0013】図13は、通常のメモリなどに対する書き込み方法と同じ方法で書き込んだ結果を示している。通常の書き込みではデータは常に上書きされる。常に後に書いたものが残されるので正しい隠面消去は行われない。

【0014】図14は、従来のZバッファ方式による隠面消去のプロセスを示している。Zデータの大きい方は、図の斜線部のピクセルのように、Zバッファ部14にZデータを書き込まないか、他のZデータを重ね書きするかのどちらかによってZバッファ部14に残らない。Zバッファ部14に保存されるZデータに対応したピクセルデータがフレームバッファ12に保存される。最終的にZバッファ部14のすべてのアドレスにおいてそのアドレスに書き込まれたZデータのうち、最も小さいものが残される。フレームバッファ12にそのZデータに対応したピクセルデータが残される。

【0015】このようにして、隠面消去は行われるが、従来のZバッファ方式隠面消去装置13bから生じるものは、各データ毎の書き込みの可・不可を意味する書き込み許可信号25と最終的にZバッファ部14内に残っ

4

たZデータである。図15及び図16は従来のZバッファ方式隠面消去装置を使用した際のフレームバッファ12及びZバッファ部14へのアクセスを表したものである。フレームバッファ12及びZバッファ部14へのアクセスはクロックに同期して行われる。

【0016】図15は、画質最優先の描画のフレームバッファ12及びZバッファ部14のアクセスを表している。画質優先の描画においては、半透明処理などが多用される。この半透明処理においては、フレームバッファ12からカラーデータ46を読み出す必要があるため、グラフィックエンジン11はフレームバッファ12に対して読み出しと書き込みを交互に繰り返している。同様に、隠面消去装置13bは、Zバッファ部14に対して読み出しと書き込みを交互に繰り返している。

【0017】図16は、速度優先の描画時のフレームバッファ12及びZバッファ部14へのアクセスを表している。画質優先時と異なり速度優先時はカラーデータ46を読み出す必要がないため、グラフィックエンジン11はフレームバッファ12に対して書き込みだけを行う。隠面消去装置13bは、Zバッファ部14に対しては読み出しと書き込みを交互に繰り返している。

【0018】

【発明が解決しようとする課題】画質優先描画時は、Zバッファ部14とフレームバッファ12へのメモリアクセスは同じなので、同一の構成のメモリを用いることができる。ところが、速度優先描画時は、Zバッファ部14の速度がフレームバッファ12の倍必要であるため、Zバッファ部14はメモリを二つ有して、これを交互に使用することによって速度を稼ぐ方式が用いられている。しかし、この方式はどうしてもメモリが多量に必要になってしまう。したがって、半透明処理など高画質を要求される描画と、画質より速度が必要である描画の両方を、少ないZバッファ部メモリで実現できないという欠点があった。

【0019】本発明の目的は、少ない容量のZバッファ部によって、高画質を要求される描画と速度を要求させる描画の両方を実現できるZバッファ方式隠面消去装置を提供することにある。

【0020】

【課題を解決するための手段】本発明は、Z値を保存するZバッファ部と、入力されたZ値と前記Zバッファ部に保存されているZ値とを比較するZ演算部とを備え、前記Z演算部で比較したZ値の小さいほうを前記Zバッファ部に再び保存するZバッファ方式隠面消去装置である。前記Z演算部は、Z値を一つずつ順次比較演算する通常速とZ値を複数並列に処理する高速の二つの比較モードを有することを特徴とする。

【0021】また、高速比較モードの場合、前記Zバッファ部は、Z値を通常速比較モードの半分のビット幅で同一アドレスに2つのデータを保存し、前記Z演算部

は、前記2つのデータを同時に読み出して並列に比較演算を行うことを特徴とする。

【0022】さらに、前記Zバッファ部は、各アドレスの保存データを上位と下位に分け、書き込みの可・不可の制御を別々に行うことを特徴とする。

【0023】本発明によれば、速度描画時は並列処理の高速比較モードを用い、画質優先描画時は通常速比較モードを用いる。それによって、フレームバッファと同じサイズのZバッファ部で高画質を要求される描画と画質より速度が必要である描画の両方を少ないZバッファ部で、実現することができる。特に、データ幅を半分にして、Zバッファ部に保存してあれば、アドレスに対して、一度に二つのデータが得られ、それを並列処理すれば、処理速度は2倍となる。さらに、前記Zバッファ部は、各アドレスの保存データを上位と下位に分け、書き込みの可・不可の制御を別々に行うので、それぞれの1アドレス内のデータをそれぞれ書き換えることができる。

【0024】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。図1は、本発明に係るZバッファ方式隠面消去装置の一実施形態を示すブロック図である。このZバッファ方式隠面消去装置は、図10とほぼ同じ構成であるので、対応する部分には同一符号を付し、説明は省略する。本実施形態が、図10と異なる点は、Z演算回路部16と、書き込み許可信号生成回路部17である。

【0025】Z演算回路部16は、Zdアドレス31、Zバッファ部制御信号32によりZバッファ部14を制御し、演算に使用するZdデータ30をZバッファ部14に書き込んだり、読み出したりする。Zバッファ部14への書き込みの許可は、書き込み許可信号生成回路部17により、Zdデータの上位と下位で別々に行われる。書き込み許可信号生成回路部17は、書き込み許可信号生成回路部制御信号29に従って制御され、Z演算回路部16からの通常速比較結果33と倍速比較結果上位34と倍速比較結果下位35とを入力し、Z上位書き込み許可信号36とZ下位書き込み許可信号37をZバッファ部14に対し出力し、書き込み許可信号38を出力部15に対し出力する。Z演算回路部16は、図2に示すように、通常速比較手段40と倍速比較手段41の両方の比較手段を有する。以下に、このZ演算回路部16の動作を中心に隠面消去装置13aの動作の概要について説明する。

【0026】図3は通常速比較モードの場合のZバッファ部14の構成を表している。図においてZ[x, y]とは、画面上のx, yの位置にあるピクセルに対応するZdデータを意味している。図において、一つ一つの四角がZバッファ部14のメモリの1要素を表し、一つのアドレスに格納されている。隠面消去装置13aは、こ

のメモリの1要素を単位として読み出し及び書き込みを行う。但し、書き込みの可・不可の制御についてはこのメモリ単位の上位と下位別々に行う。通常速比較モード時は、Zバッファ部14へのメモリアクセスはフレームバッファ12へのメモリアクセスと同じ速度である。この速度を実現するためZ演算回路部16は1回に1ピクセル分のZ比較を行う。

【0027】図4は、通常速比較モードのZバッファの動作概要について示している。図のように、Zバッファ部14のメモリの1要素の上位と下位で1つのZdデータを構成する。このZdデータ30を取り出し、入出力部15からのZsデータ26と比較部40で比較する。その比較結果を利用しZバッファ部14への書き込みを制御する。通常速比較モードの場合、Zバッファ部14のメモリの1要素の上位と下位で1つのZdデータ30を構成するので、図のように、書き込み許可信号生成回路部17において生成するZ上位書き込み許可信号36とZ下位書き込み許可信号37は通常速比較結果をそのまま使用する。そして、値の小さいほうのZデータを書き込む。

【0028】図5は、倍速比較モードの場合のZバッファ部14の構成を表している。通常速比較モードに対し倍速比較モードでは、Zバッファ部14へのアクセスはフレームバッファ12へのアクセスに対し倍の速度で行う必要がある。本隠面消去装置13aでは、Zdデータのビット幅を半分にし、1回のアクセスで2ピクセル分を処理することで上記要求を実現している。このため、図に示すように、隣り合う2ピクセル分のZdデータを1単位としてZバッファ部14の同一アドレスに格納する。

【0029】図6は、倍速比較モード時の動作概要を表している。本隠面消去装置13aは2ピクセルのZdデータ30をZdアドレス31によってアドレスを指定することによってZバッファ部14から同時に読み出し、Z演算回路部16内でZdデータ30及びZsデータ26を上位下位の2つに分割する。そして、上位と下位について、比較部41によって各々同時に比較処理を行う。その後、各々の比較結果を利用しZバッファ部14にZデータを書き込む。倍速比較モードの場合、Zバッファ部14のメモリ1要素の上位と下位が各々1つのZdデータを表すので、図のようにZ上位書き込み許可信号36は倍速比較結果上位34をそのまま使用し、Z下位書き込み許可信号37は倍速比較結果下位35をそのまま使用する。

【0030】次に、書き込み許可信号25の生成について説明する。通常速比較モード時は通常速結果をそのまま書き込み許可信号25として出力する。倍速比較モード時は、1回に2ピクセル分ずつ比較結果が生成される。ところが、書き込み許可信号25はフレームバッファ12への書き込みに合わせて1ピクセル分ずつ出力す

ることが望ましい。このため、書き込み許可信号制御信号回路部 17 において、倍速比較結果上位 34 及び倍速比較結果下位 35 を変換し、書き込み許可信号 38 を生成する。入出力部 15 は、この書き込み許可信号 38 に基づいて書き込み許可信号 25 を生成する。

【0031】図 7 は、倍速比較モード時の比較結果と書き込み許可信号 25 の関係を表したタイムチャートである。前述のとおり、本隠面消去装置 13a は Z バッファ部 14 に対する 1 回の読み出しと書き込みの間に 2 ピクセル分の比較結果を生成する。図において RE0 と RE1 が同時に生成された比較結果を表している。1 回に 1 ピクセル分ずつ書き込み許可信号 25 を生成するには RE0 をそのまま出力し RE1 については、1 アクセス時間分遅らせて出力する必要がある。このため倍速比較モード時の書き込み許可信号生成回路部 17 の動作は以下のようになる。

- ・偶数番目のピクセルの比較結果はそのまま書き込み許可信号 25 として出力する。

- ・奇数番目のピクセルの比較結果は 1 アクセス時間分遅らせて書き込み許可信号 25 として出力する。

【0032】以下、本発明の Z バッファ方式隠面消去装置の動作について詳細に説明する。まず、通常速比較モード時の動作について説明する。通常速比較モード時の動作は、基本的に従来の隠面消去装置 13b の動作（図 10 参照）と同じであるが、以下の点が異なる。

【0033】Z 演算回路部 16 は、図 11 に示したステップ S35 の条件に比較の結果が合致した場合、通常速比較結果 33 として 1 を、また合致しない場合は 0 を出力する。書き込み許可信号生成回路部 17 は通常速比較結果 33 を Z 上位書き込み許可信号 36、Z 下位書き込み許可信号 37、書き込み許可信号 38 として出力する。

【0034】図 8 は、Z バッファ方式隠面消去装置の倍速比較モード時のフローチャートである。はじめに Z 演算回路部 16 は、新しいデータを待っているとする。入出力部 15 は、外部から Z データの入力があると（ステップ S11）、Z 演算回路部 16 に、Z 演算回路部制御信号 28 によって Z データ 21、Z アドレス 22 が到着したことを知らせる。Z 演算回路部 16 は、Z s データ 26、Z s アドレス 27 を受け取る（ステップ S12）。

【0035】Z 演算回路部 16 は、Z バッファ部 14 に対し、Z d アドレス 31 を与え Z バッファ部制御信号 32 によって Z バッファ部 14 に出力要求を行う。Z バッファ部 14 は Z バッファ部制御信号 32 に従い、Z d アドレス 31 の位置に保存されている Z d データ 30 を出力する（ステップ S13）。

【0036】Z 演算回路部 16 は、Z バッファ部 14 から入力された Z d データ 30 と入出力部 15 から入力された Z s データ 26 とを上位、下位に分割する。その

後、上位は上位同士（Z d H-Z s H）、下位は下位同士（Z d L-Z s L）で同時に比較演算を行う（ステップ S14）。入出力部 15 から入力された Z 演算回路部制御信号 28 によって決定される条件「Z d H-Z s H の方が小さい」に上位同士の比較結果が合致した場合（ステップ S15）、倍速比較結果上位 34 として 1 を出力する（ステップ S16）。また、合致しない場合は、0 を出力する（ステップ S17）。

【0037】入出力部 15 から入力された Z 演算回路部制御信号 28 によって決定される条件「Z d L-Z s L の方が小さい」に下位同士の比較の結果が合致した場合（ステップ S18）、倍速比較結果下位 35 として 1 を書き込み許可信号生成回路部 17 に出力する（ステップ S19）。また、合致しない場合は 0 を出力する（ステップ S20）。

【0038】書き込み許可信号生成回路部 17 は、倍速比較結果上位 34 と倍速比較結果下位 35 を前述の方法によって変換し、書き込み許可信号 38 として入出力部 15 に出力する。また倍速比較結果上位 34 を Z 上位書き込み許可信号 36 として出力する。また倍速比較結果下位 35 を Z 下位書き込み許可信号 37 として出力する。Z 演算回路部 16 は Z バッファ部 14 に対して Z s データ 26 と Z d アドレス 30 を出力し、Z バッファ部制御信号 32 によって書き込み要求を行う。Z バッファ部 14 は要求にしたがって、Z d アドレスに対応する位置に Z データを保存する（ステップ S21）。この際 Z 上位書き込み許可信号 36 が 1 の場合、Z s データ 26 の上位が保存され、0 の場合保存されない。また Z 下位書き込み許可信号 37 が 1 の場合、Z s データ 26 の下位が保存され、0 の場合は保存されない。次に、新しいデータ待ちに入る。以上の動作を繰り返す。

【0039】以下、例外的な動作について説明する。入出力部 15 は、外部から比較モード 23 及び比較条件 24 をセットする要求があると、それを保存する。また同時に Z 演算回路部制御信号 28 及び書き込み許可信号生成回路部制御信号 29 を上記比較モード 23 に従って設定する。入出力部 15 は、外部から比較モード 23 及び比較条件 24 の出力要求があると、それを出力する。

【0040】

【発明の効果】従って、この発明によれば、上述した手段を有することにより、速度優先描画時は、並列処理の倍速比較モードを用い、画質優先描画時は通常速比較モードを用いることによって、フレームバッファと同じサイズの Z バッファ部で高画質を要求される描画の両方を少ない Z バッファ部メモリで実現することができる。また、データ幅を半分にして、Z バッファ部に保存してあれば、アドレスに対して、一度に二つのデータが得られ、それを並列処理すれば、処理速度は 2 倍となる。さらに、前記 Z バッファ部は、各アドレスの保存データを上位と下位に分け、書き込みの可・不可の制御を別々に

行うので、それぞれの1アドレス内のデータをそれぞれ書き換えることができ、倍速でも通常速でも隠面消去処理が可能となる。

【図面の簡単な説明】

【図1】本発明に係るZバッファ方式隠面消去装置の一実施形態を示すブロック図である。

【図2】Z演算回路部を示すブロック図である。

【図3】通常速比較モードの場合のZバッファ部の説明図である。

【図4】通常速比較モードのZバッファ部の動作概要の説明図である。

【図5】倍速比較モードの場合のZバッファ部の説明図である。

【図6】倍速比較モード時のZバッファ部の動作概要の説明図である。

【図7】倍速比較モード時の比較結果と書き込み許可信号の関係を表したタイムチャートである。

【図8】Zバッファ方式隠面消去装置の倍速比較モード時のフローチャートである。

【図9】Zバッファ方式の隠面処理を行う従来のグラフィック表示装置のブロック図である。

【図10】従来のZバッファ方式隠面消去装置のブロック図である。

【図11】従来のZバッファ方式隠面消去装置の動作を示すフローチャートである。

【図12】理想的な隠面消去のプロセスを示す説明図である。

【図13】隠面消去動作がない通常書き込み動作を示す説明図である。

【図14】従来のZバッファ方式による隠面消去のプロセスを示す説明図である。

【図15】画質最優先の描画のフレームバッファ及びZバッファ部のアクセスを表すタイムチャートである。

【図16】速度優先の描画時のフレームバッファ及びZバッファ部へのアクセスを表すタイムチャートである。

【符号の説明】

13 Zバッファ方式隠面消去装置

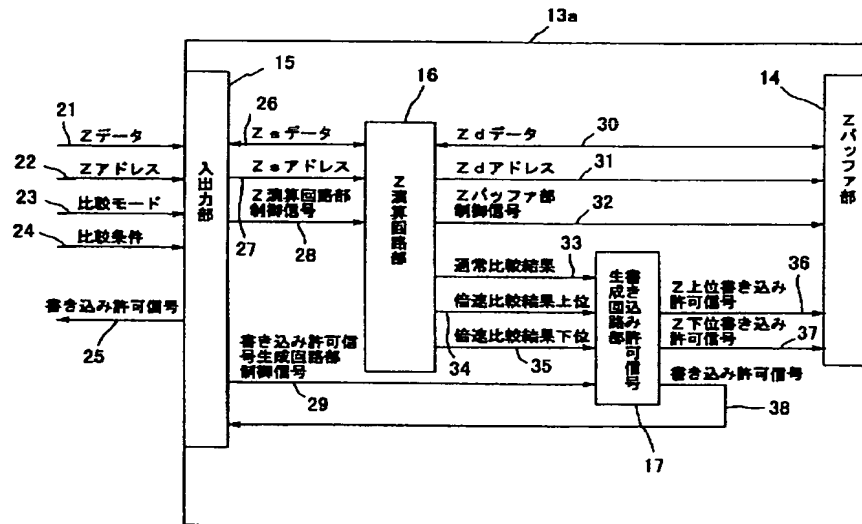
14 Zバッファ部

15 入出力部

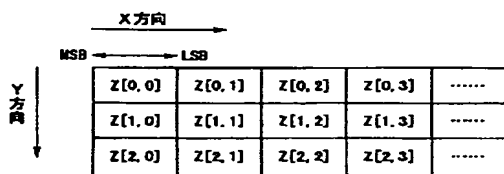
16 Z演算回路部

17 書き込み許可信号生成回路部

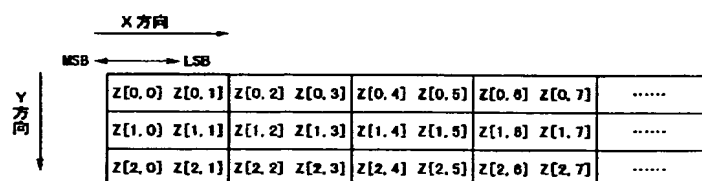
【図1】



【図3】

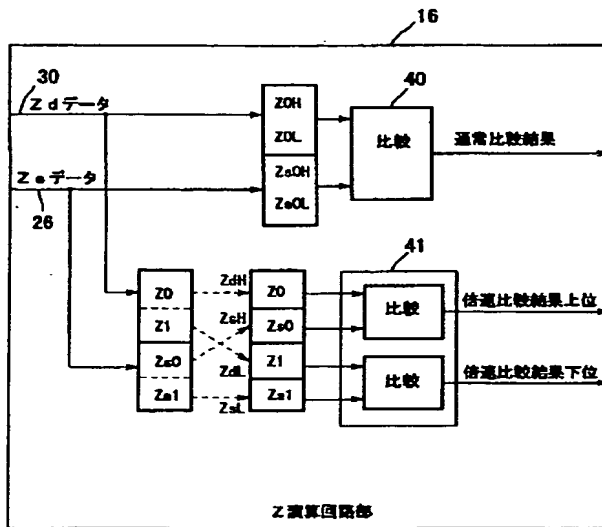


【図5】



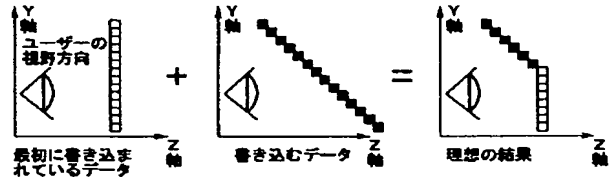


【図2】

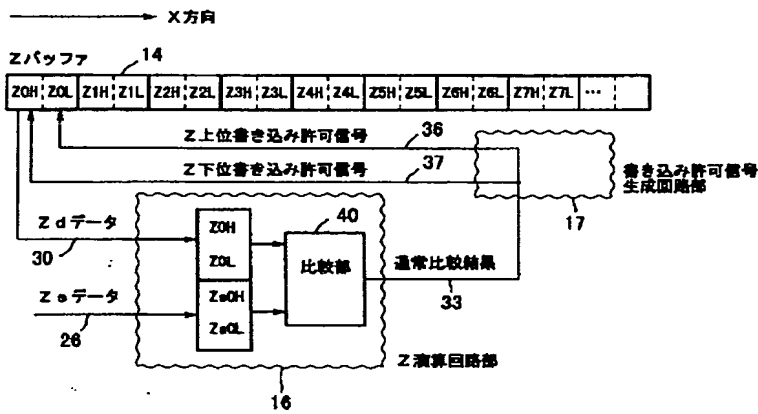


【図12】

理想の画面消去装置の動作

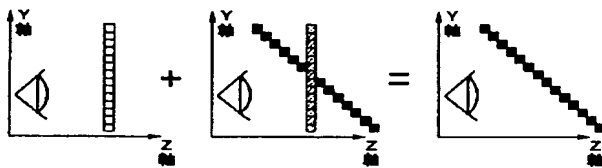


【図4】



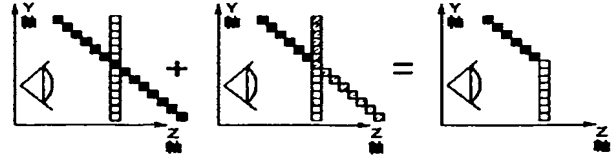
【図13】

画面消去装置が動作せず通常の書き込みを行った際の動作

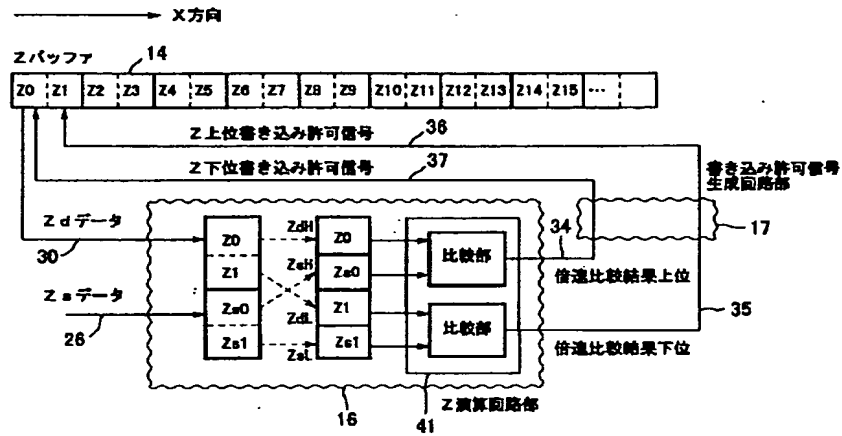


【図14】

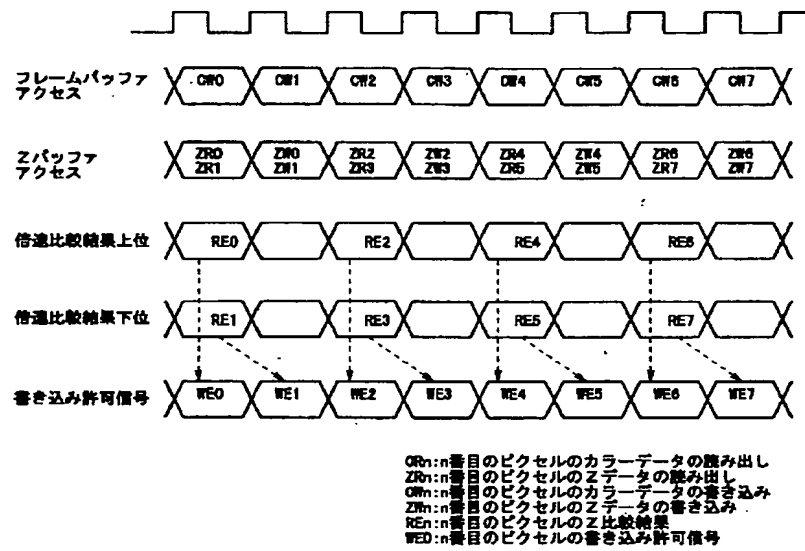
従来のZバッファ法による画面消去装置の動作



【図6】

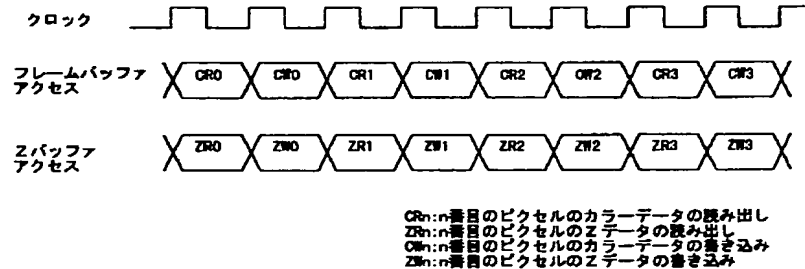


【図7】

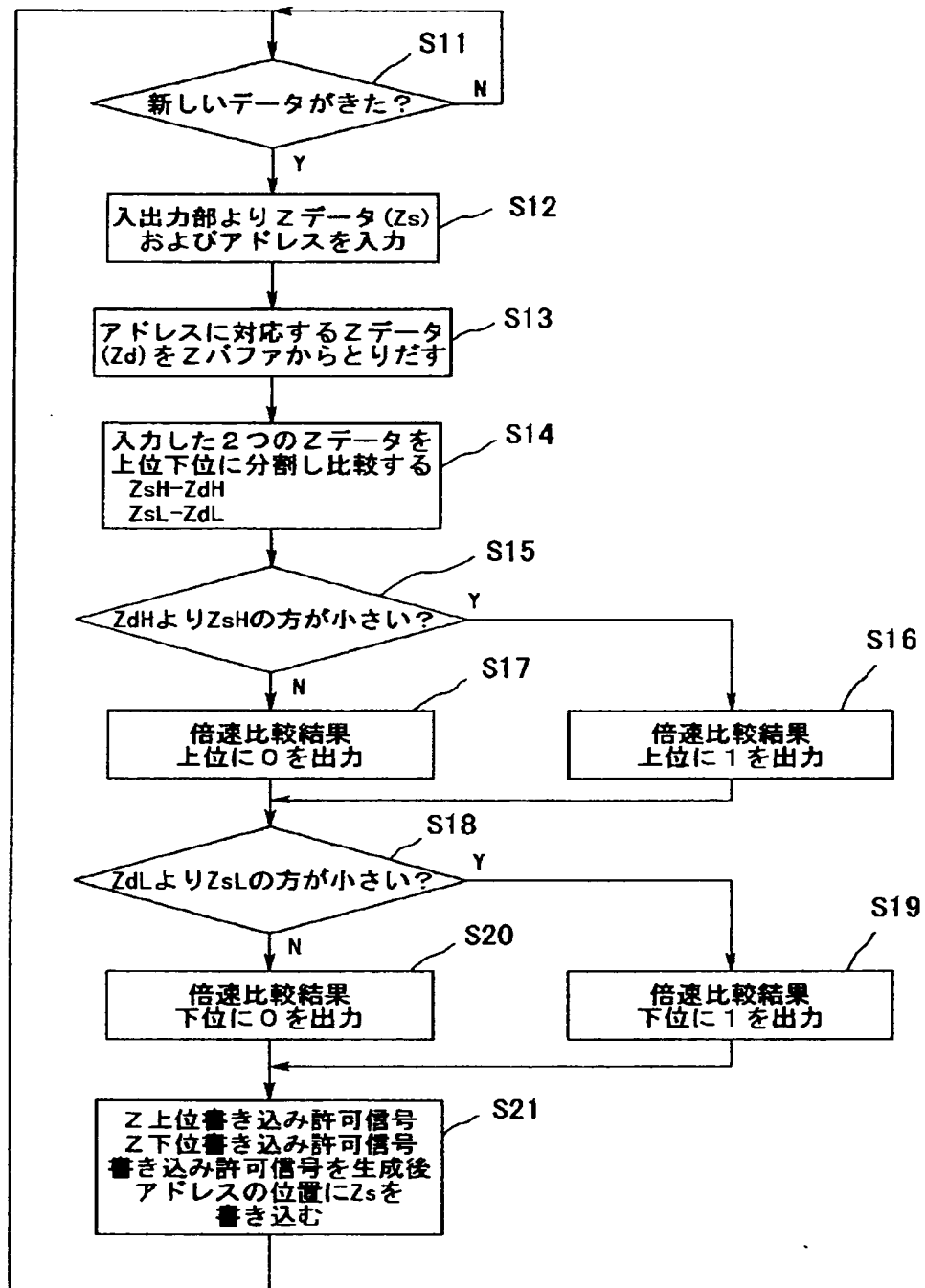


【図15】

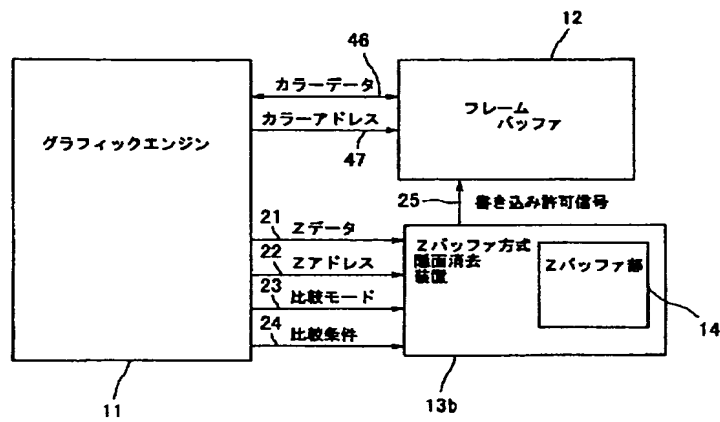
読取優先時のアクセス



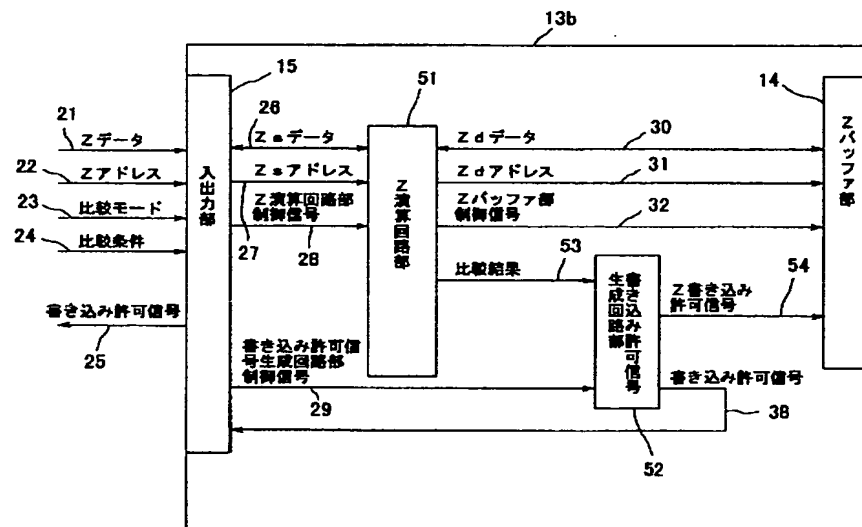
【図8】



【図9】

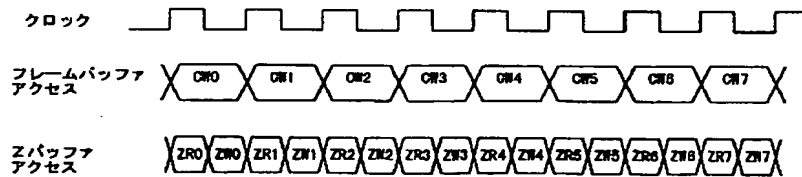


【図10】



【図16】

速度優先時のアクセス



CRn:n番目のピクセルのカラーデータの読み出し  
 ZRn:n番目のピクセルのZデータの読み出し  
 CRn:n番目のピクセルのカラーデータの書き込み  
 ZRn:n番目のピクセルのZデータの書き込み

【図11】

